

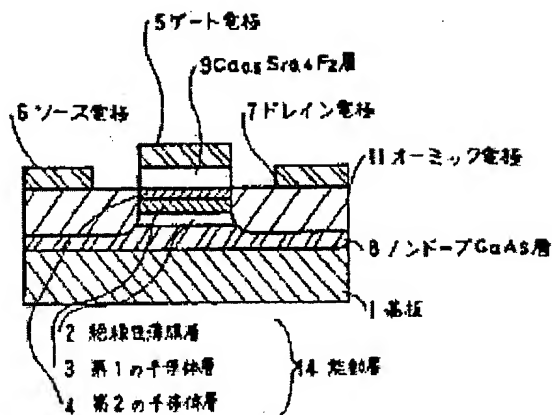
FIELD-EFFECT TRANSISTOR

Patent number: JP63266879
Publication date: 1988-11-02
Inventor: KIMURA TORU
Applicant: NIPPON ELECTRIC CO
Classification:
 - international: H01L29/205; H01L29/78; H01L29/80
 - european: H01L29/772D
Application number: JP19870099898 19870424
Priority number(s): JP19870099898 19870424

Abstract of JP63266879

PURPOSE: To make a modulation of the electron mobility much larger and to shorten its switching speed to about 0.1 pico by a structure being formed by two types of semiconductors whose electron mobility differs from each other largely and wherein an electron can be moved between the two types of semiconductors caused by a field effect.

CONSTITUTION: A first semiconductor layer 3 and a second semiconductor layer 4 are made in such a manner that, even for both combinations where the bottom of a conduction band is situated in an equivalent position in an inverse lattice space and where the bottom is situated in a non-equivalent position, a magnitude relation between a lowest energy value of the conduction band of a first semiconductor and another lowest energy value of the conduction band of a second semiconductor is reversed according to a case where an electric field is not impressed on a first electrode 5 and another case where the electric field causing no avalanche in a laminated thin-film direction is impressed; said first semiconductor layer 3 and said second semiconductor layer 4 are made as field-effect transistors including a case where they are composed of an ultrathin film whose film thickness is less than about an average free stroke of an electron. By this setup, it is made possible to increase the electric field which is exerted on a semiconductor layer when an identical gate voltage is impressed; it is made possible to sharply enhance the mutual conductance because an electron channel can be made thin.



⑫ 公開特許公報(A)

昭63-266879

⑬ Int.Cl.⁴H 01 L 29/78
29/205
29/80

識別記号

3 0 1

庁内整理番号

J-8422-5F
8526-5F
H-8122-5F

⑭ 公開 昭和63年(1988)11月2日

審査請求 未請求 発明の数 2 (全 10 頁)

⑮ 発明の名称 電界効果トランジスタ

⑯ 特 願 昭62-99898

⑰ 出 願 昭62(1987)4月24日

⑱ 発 明 者 木 村 亨 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 館野 千恵子

明 細 書

1. 発明の名称

電界効果トランジスタ

2. 特許請求の範囲

(1) 導電性の基板上に絶縁性薄膜層、互いに電子親和力の異なる第1の半導体層及び第2の半導体層を順次積層して3層とした積層薄膜構造を少なくとも1組有する能動層と、前記能動層の最上部に積層方向に電界を印加するための第1の電極と、前記第1及び第2の半導体層薄膜の面内方向に電子を注入するための第2の電極と、電子を排出するための第3の電極とを配設してなる電界効果トランジスタであって、第1の半導体層と第2の半導体層とは伝導帯の底部を逆格子空間中の等価な位置に持ち、かつ第1の電極に全く電界を印加していない場合と積層薄膜方向にアバランシェが起こらない程度の電界を印加した場合とで、第1の半導体の伝導帯の最も低いエネルギー値と第2の半導体の伝導帯の最も低いエネルギー値の大小関

係が逆転することを特徴とする電界効果トランジスタ。

(2) 第1及び第2の半導体層は、膜厚が電子の平均自由行程以下の超薄膜である特許請求の範囲第1項記載の電界効果トランジスタ。

(3) 導電性の基板上に絶縁性薄膜層、互いに電子親和力の異なる第1の半導体層及び第2の半導体層を順次積層して3層とした積層薄膜構造を少なくとも1組有する能動層と、前記能動層の最上部に積層方向に電界を印加するための第1の電極と、前記第1及び第2の半導体層薄膜の面内方向に電子を注入するための第2の電極と、電子を排出するための第3の電極とを配設してなる電界効果トランジスタであって、第1の半導体層と第2の半導体層とは伝導帯の底部を逆格子空間中の等価でない位置に持ち、かつ第1の電極に全く電界を印加していない場合と積層薄膜方向にアバランシェが起こらない程度の電界を印加した場合とで、第1の半導体の伝導帯の最も低いエネルギー値と第2の半導体の伝導帯の最も低いエネルギー値の大

小関係が逆転することを特徴とする電界効果トランジスタ。

(4) 第1及び第2の半導体層は、膜厚が電子の平均自由行程以下の超薄膜である特許請求の範囲第3項記載の電界効果トランジスタ

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は超高速スイッチング動作が可能で、かつ高い相互コンダクタンスを持つ高性能電界効果トランジスタに関する。

〔従来の技術〕

1ピコ秒以下の超高速スイッチング動作が可能な電界効果トランジスタ(FET)として、例えば“ジャパニーズ・ジャーナル・オブ・アプライド・フィジックス”(Japanese Journal of Applied Physics)誌、21巻、L381~L383頁に報告されているように、電子の流れる半導体層を変化させる新しい形のトランジスタとして、VMT(VELOCITY-MODURATION TRANSISTOR)が提案されている。以下、この原理を簡単に述べる。

- 3 -

えると、半導体B中の電子は、ゲート2が高電位の場合は第8図(b)に示すようにチャンネル1側へ、ゲート1が高電位の場合は第8図(c)に示すようにチャンネル2側へ移動し、紙面に垂直方向に流れる電流を変化させることができる。この場合電子はチャンネル1からチャンネル2に移るだけで電流が変化する。VMTでは、チャンネル1とチャンネル2との距離、即ち半導体Bの膜厚は、分子線エピタキシー等の結晶成長技術により、容易に数百オングストローム程度に設計できる。この数百オングストロームを電子が移動すると電流が変化するの、1ピコ秒以下の超高速スイッチングが可能である。VMTは、式(1)に含まれる量 μ を変化させる素子である。 μ は、

$$\mu = \frac{e\tau}{m^*} \quad \dots (2)$$

と表される。 m^* は電子の有効質量、 τ は運動量緩和時間である。

〔発明が解決しようとする問題点〕

上記従来のVMTの設計では、不純物のドーパ量の異なったチャンネル間を電子が移動することを

電気信号は電流Jにより伝達される。Jは一般に

$$J = eN\mu E \quad \dots (1)$$

の形に表される。ここで、 e は素電荷、 N は電流に関与する電子数、 μ はドリフト移動度、 E は電界である。VMTは、 N を一定のままで、 μ の値を変化させることにより、 J の値を変化させ、電流のオン/オフを行う。

この様子を第8図により説明する。図中×印はドーパされた不純物を表す。半導体Aは半導体Bに比べ電子親和力が小さいため半導体A中にドーパされた不純物より活性化した電子は第8図(a)に示す如く、半導体Aと半導体Bとの界面の半導体B側にたまる。図中に示すように、半導体Bの左右の界面をチャンネル1及びチャンネル2と呼ぶことにする。半導体Bのチャンネル2側だけに不純物をドーパすると、ドーパされた不純物による散乱によりチャンネル2にある電子はチャンネル1にある電子に比べ移動度が低くなるので、半導体A上に設けた金属電極ゲート1、ゲート2に電位差を与

- 4 -

利用し、(2)式で表される τ の変化によって μ を変化させていた。 τ は一般に

$$\frac{1}{\tau} = \frac{1}{\tau_{ac}} + \frac{1}{\tau_{op}} + \frac{1}{\tau_{im}} + \frac{1}{\tau_b} + \dots \quad \dots (3)$$

と書かれる。 τ_{ac} は、音響型格子振動による緩和時間、 τ_{op} 、 τ_{im} 、 τ_b はそれぞれ光学型格子振動、不純物、バンド間散乱によって決まる緩和時間である。 τ の値は、この他に、格子欠陥や混晶散乱による緩和時間が関わってくる場合もある。従って、チャンネル1とチャンネル2との間で不純物のドーパ量を変化させて τ_{im} の値を変えることにより、 μ を変えろといった方法は、緩和時間 τ を決定する種々の要因のうち τ_{im} が支配的である状況(たとえば77K以下の低温やソース・ドレイン間電圧 V_{SD} が小さい時等)でなければ成立せず、ドーパできる不純物の濃度も最大値があるため、 τ_{im} を通してのチャンネル間での μ の絶対値の変化も10倍程度以下にしか設定できず、また変化する μ の値の制御にはドーパする不純物の位置と濃度の均一性が強く要求される等の困難な問題を含んでいた。

- 6 -

- 5 -

本発明の目的は、このような問題点を解決し、従来のVMTにおいて同一の半導体により形成されていた2つの電子走行チャネルを、電子移動度が大きく異なる2種の半導体により形成し、電界効果により電子が2種の半導体間を遷移することが可能な構造を提案し、移動度の変調がより大きくできる新規な電界効果トランジスタを提供することにある。

〔問題点を解決するための手段〕

本発明は、実施例を兼ねた第1図に基本的な構造を示すように、導電性の基板1上に絶縁性薄膜層2、互いに電子親和力の異なる第1の半導体層3及び第2の半導体層4を順次積層して3層とした積層薄膜構造を少なくとも1組有する能動層14と、前記能動層14構造の最上部に積層方向に電界を印加するための第1の電極5と、前記第1と第2の半導体薄膜の面内方向に電子を注入するための第2の電極6と、電子を排出するための第3の電極7を配設してなる電界効果トランジスタであって、第1および第2の半導体層3及び4は、伝

導帯の底部を逆格子空間中の等価な位置、または等価でない位置に持つどちらの組合わせに対しても、第1の半導体の伝導帯の最も低いエネルギー値と第2の半導体の伝導帯の最も低いエネルギー値の大小関係が、第1の電極5に電界を印加していない場合と、積層薄膜方向にアバランシェが起こらない程度の電界を印加した場合とで逆転することを特徴とし、該第1および第2の半導体層3及び4は膜厚が電子の平均自由行程程度以下の超薄膜よりなる場合も含む電界効果トランジスタとするものである。

なお、第1の電極5をゲート、第2の電極6をソース、第3の電極7をドレインと呼び、第1の半導体、第2の半導体の電子親和力を χ_1 、 χ_2 、それぞれの膜厚を L_1 、 L_2 とする。

〔作用〕

まず、(イ)伝導帯の底部が逆格子空間中の同じ位置にある2つの半導体の組合わせについて述べる。第2図は第1、第2の半導体及び絶縁体の伝導帯構造を示す図である。図において横軸に実

- 7 -

軸、縦軸にエネルギーをとり、図中⊙印は電子の分布を示す。ここで、 $\chi_2 > \chi_1$ とすると、ゲート電極に電界が印加されていない状態では、第2図(a)に示す如く、電子は半導体2の側に分布する。ソース・ドレイン間に電圧 V_{SD} が印加されている状態で、ゲート電極により半導体1側に

$$E_{th} = (\chi_2 - \chi_1) / (e L_1) \quad \cdots (4)$$

$E > E_{th}$ を満足するような電界 E がかかるような電位を印加すると、第2図(b)に示すように、電子に対するポテンシャルは半導体1の側の方が低くなり、半導体2の側に分布していた電子はトンネリングまたはホットエレクトロン効果により、半導体1側に移動する。上記の電子がホットエレクトロン効果により異なる半導体間を移る様子は、“アブライド・フィジックス・レター”(Applied Physics Letters)誌35巻、1979年刊469～471頁にヘス(K.Hess)らにより述べられている。ここで、半導体1と半導体2とを電子の有効質量の大きく異なる組合わせとすることにより、前記従来技術の項に示した(2)式の分母の変

化が大きくでき、移動度 μ の変化を大きくできる。第3図に本発明による電界効果トランジスタの動作原理を掲げる。尚、第3図では、説明の便宜上、絶縁性薄膜、第1の半導体及び第2の半導体の組合わせが1組だけである場合について例示されている。

本発明による電界効果トランジスタの構造によれば、従来のVMTでは(2)式及び(3)式における緩和時間 τ の変化のみで行っていた移動度 μ の変化を、有効質量 m^* の変化をも通してさらに大きくできる。また、第2図に示す半導体1、半導体2を膜厚が電子の平均自由行程程度以下の超薄膜とすることにより、同一のゲート電圧の印加に対し、半導体層にかかる電界を大きく出来、電子チャネルが薄くできることにより相互コンダクタンスを大幅に向上出来る。さらに、電子親和力が大きい側の半導体2に伝導帯からエネルギー

$$\varepsilon_{\text{shift}} = \frac{h^2}{2m^*} \left(\frac{\pi}{L_2} \right)^2$$

(m^* は半導体2中の電子の有効質量、 h は(プランク定数)/2)

- 8 -

- 9 -

- 10 -

だけ高エネルギー側にシフトした量子準位が形成されることより式(4)で表される電界 E_{th} は

$$E_{th} = (\chi_2 - \epsilon_{shift} - \chi_1) / (eL_1) \quad \dots (5)$$

という形におきかわる。この量 ϵ_{shift} は膜厚に依存するため電子の分布するチャネルを変化させるしきい電圧 E_{th} の値は膜厚を変化させることにより自由に設計できる。

以上のような考察が実際に可能であることを以下に示す。

一般に、半導体でアバランシェ(なだれ)効果が生ずる電界は 100 kV/cm である。式(4)より

$$\chi_2 - \chi_1 < eL_1 (E_{th})_{\max}$$

$$(E_{th})_{\max} = 100\text{ kV/cm}, L_1 = 0.1\mu\text{m} \text{ とすると}$$

$$\chi_2 - \chi_1 < 1\text{ eV}$$

が導かれる。ここで、格子整合した伝導帯の底部が逆格子空間中の等価な位置にある半導体組合わせの例を第1表として示す。

第1表

	電子移動度 (cm^2/Vs)	禁制幅 (eV)	格子定数 (\AA)	電子親和力 (eV)
ZnSe	530	2.67	5.667	4.09
GaAs	5~8000	1.43	5.654	4.07
GaSb	5000	0.68	6.095	4.06
InAs	30000	0.36	6.058	4.9
ZnTe	530	2.26	6.103	3.5
GaSb	5000	0.68	6.095	4.06
ZnTe	530	2.26	6.103	3.5
InAs	30000	0.36	6.058	4.9
CdTe	700	1.44	6.477	4.28
InSb	80000	0.17	6.479	4.59
GaSb	5000	0.68	6.095	4.06
AlSb	200	1.62	6.135	3.65

(以上、全て室温における値とする)

- 11 -

上記第1表より、ZnTe/InAsを除く組合わせにおいては前記各条件は満足される。しかしZnTe/InAsの組合わせに対しても、InAsの膜厚を 100\AA 程度にすることにより前記 ϵ_{shift} が 500 meV 程度に出来るため、超薄膜構造の採用によりこの組合わせにおいても本発明による電界効果トランジスタを製作することは可能である。

また、これらの半導体の組合わせを用いて不純物ドーパ量を変化させることにより、2つの半導体間の電子移動度を100倍程度変えることができる。

このように、電子走行層となる半導体間で、移動度の変化を大きくとれることは、従来のVMTでは成し得なかった特徴である。

(ロ)次に、第1の半導体と第2の半導体として伝導帯の底部を逆格子空間中の異なる位置にもつ半導体の組合わせについて説明する。説明の便宜上、半導体1を間接遷移型半導体、半導体2を直接遷移型半導体とし、さらに半導体2は半導体

- 13 -

- 12 -

1より電子親和力の大きな物質とする。

第4図に示すように、半導体1の伝導帯の最低エネルギーとなる谷間をA谷、半導体2の伝導帯の最低エネルギーとなる谷間をB谷とする。ここで半導体i中のj谷のエネルギー値を ϵ_{ij} と書くと、

$$\epsilon_{2B} < \epsilon_{1A} < \epsilon_{2A} < \epsilon_{1B} \quad \dots (6)$$

となる場合を考える。

ゲート電極に電界を印加していない状態で電子 \ominus は半導体2のB谷に分布し、(4)式で表されるしきい電圧 E_{th} を超える電界をゲート電極により印加することで電子の分布を半導体1のA谷側に移すことができる。

この機構は(イ)の場合と同様であるが、(イ)の場合と比べ、 E_{th} の設計、 μ の変化の増大等により優れた特徴をもつ。第4図に示すように、半導体1および2に超薄膜構造を用いると、本発明における第1、第2の半導体中には、図中点線で示されるA谷に対応するポテンシャル井戸及び図中実線で示されるB谷に対応するポテンシャル井

- 14 -

戸が形成され、それぞれの半導体中に量子準位が形成される。半導体1中に形成される最低次の量子準位を基底準位1、半導体2中に形成される最低次の量子準位を基底準位2と呼ぶことにする。この状態で E_{th} は(4)式に替って

$$E_{th} = \{ \chi_2 - \varepsilon^2 \text{ shift} - (\chi_1 - \varepsilon^1 \text{ shift}) \} / (e L_1) \dots (7)$$

$$\varepsilon^1 \text{ shift} = \frac{h^2}{2m_1^*} \left(\frac{\pi}{L_1} \right)^2 \dots (8)$$

$$\varepsilon^2 \text{ shift} = \frac{h^2}{2m_2^*} \left(\frac{\pi}{L_2} \right)^2 \dots (9)$$

(m_1^* 、 m_2^* はそれぞれ半導体1、半導体2中の電子の有効質量とする)

と書き表される。(イ)の場合に比べ、半導体1の側にもポテンシャル井戸ができることによる効果が $\varepsilon^1 \text{ shift}$ としてあらわれ、 E_{th} の値の設計の自由度を拡大する。さらに、下記第2表に挙げるように、この組み合わせは、AlAs/GaAs、GaAs/Ge等の良く知られた半導体ヘテロ構

造を用いて設計できるため、非常に有利である。

第2表は、格子整合し、伝導帯の底が逆格子空間中の等価でない位置にある半導体の組み合わせの例を示す表である。

(以下余白)

- 15 -

- 16 -

第2表

	電子 移動度 (cm ² /Vs)	禁 制 帯 幅 (eV)	格 子 定 数 (Å)	電子 親和力 (eV)
GaAs	5~8000	1.43	5.654	4.07
Ge	3600	0.66	5.658	4.13
ZnSe	530	2.67	5.667	4.09
Ge	3600	0.66	5.658	4.13
AlAs	280	2.15	5.661	3.5
GaAs	5~8000	1.43	5.654	4.07
AlSb	900	1.62	6.136	3.65
GaSb	5000	1.68	6.095	4.06
ZnTe	530	2.26	6.103	3.5
AlSb	900	0.68	6.058	3.65
CdTe	700	1.44	6.477	4.28
PbTe	2500	0.29	6.52	—

(以上、全て室温における値とする)

[実施例]

以下、本発明の一実施例について、図面を参照しつつ詳細に説明する。

第1図は本発明による電界効果トランジスタの基本構成でもある一実施例を示した縦断面図である。

上記構造の製造工程を、第5図を参照にして説明する。まず、分子線エビタキシー法により、p型砒化ガリウム(以下GaAsと略記する)の基板1上に約2000オングストローム厚のノンドープGaAs層8を形成し、その上に絶縁性薄膜層2としてGaAsに格子整合する絶縁体であるストロンチウム組成比0.4のフッ化カルシウムストロンチウム(以下Ca_{0.6}Sr_{0.4}F₂と略記する)を1000Å、第1の半導体層3として、GaAs及び第2の半導体層4としてセレン化亜鉛(以下ZnSeと略記する)をそれぞれ1000Å成長して能動層14とする。またこの3層を1組とし、数周期積層しても良い。さらに最上部にCa_{0.6}Sr_{0.4}F₂膜9を成長した後、超高真空中で金属薄膜10を蒸

- 17 -

-525-

- 18 -

着する。この理由はフッ化カルシウムストロンチウムは、潮解性を有する為、空気中に取り出す前に表面をおおう層をつける必要があるからである。第5図(a)は、フッ化カルシウムストロンチウム9の表面に金属薄膜10をつけた状態を示す図である。しかる後、通常の微細加工技術を用いて第5図(b)に示す如く、ゲート電極5の予定位置にレジスト膜13を作成し、これをマスクとすることで、ゲート電極下以外の部分を、ドライエッチング法により、第5図(c)に示す如く、GaAs層8の途中までエッチングし、気相成長法または有機金属気相化学成長法を用いて、第5図(d)に示す如くオーミック電極11を埋めこみ、最後にソース及びドレイン電極6及び7を第5図(e)に示す如く形成する。

上記設計の下では

$$x_1 - x_2 = 20 \text{ meV}$$

$$\varepsilon_{\text{shift}} = 0.22 \text{ meV}$$

であり、式(7)から見積った E_{th} は、

$$E_{\text{th}} \sim 2000 \text{ (V/cm)}$$

- 19 -

形成し、その上に、絶縁性薄膜層22としてストロンチウム組成比 0.4のフッ化カルシウムストロンチウム($\text{Ca}_{0.6}\text{Sr}_{0.4}\text{F}_2$)を150Å、第1の半導体層23としてアルミニウム組成比 0.6の砒化ガリウムアルミニウム($\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}$)、第2の半導体層24としてGaAsをそれぞれ80Å形成して能動層24とする。この絶縁体22、第1の半導体23及び第2の半導体24の組合わせを数周期積層しても良い。さらに超高真空中で金属膜を蒸着し、基本実施例の場合と同様のプロセスを経て電界効果トランジスタを作成する。

ここで、第7図に示す第1の半導体層23が $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}$ 、第2の半導体層24がGaAsであることから、第4図(a)に示したA谷に相当するものは第4図(b)に示すX谷、B谷に相当するものがP谷となる。上記の設計($L_1 = L_2 = 80 \text{ Å}$)の下では、

$$x_1 - x_2 = 270 \text{ meV}$$

$$\varepsilon^1_{\text{shift}} = 16 \text{ meV}, \varepsilon^2_{\text{shift}} = 195 \text{ meV}$$

であり、式(7)から見積った E_{th} の値は、

- 21 -

印加電圧 V_G は、1 V以下で十分である。

第6図(a)は、本実施例に基づいて製作された電界効果トランジスタのゲート電圧 V_G に対するドレイン特性を示すグラフである。ゲート電圧の印加に伴ない、電子チャネル層がZnSe側からGaAs側に移るため移動度が向上するのがわかる。特に $V_G = 0.10 \text{ V}$ と $V_G = 0.15 \text{ V}$ の間で、GaAs側に分布する電子数が急増している。ZnSe/GaAsの組合わせでは2種の半導体間で電子親和力の違いが20meVと小さいため、特に超薄膜構造を採用する必要はないが、第1表に掲げた例を含め、少数の例外を除くほとんどの半導体の組合わせについて、超薄膜構造を用いて基底準位を偏移させることにより、上記のような動作が可能である。

第7図は、本発明の別な一実施例を示す縦断面図である。第7図において、電界効果トランジスタは、分子線エピタキシャル法によりp型砒化ガリウム(以下GaAsと略記)基板1上に約2000オングストローム厚のアンドープGaAs層12を

- 20 -

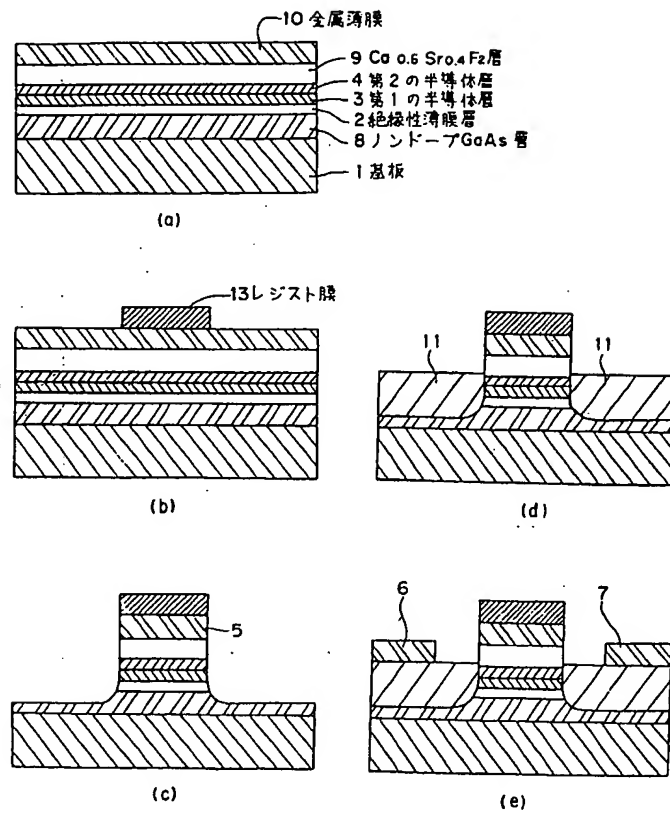
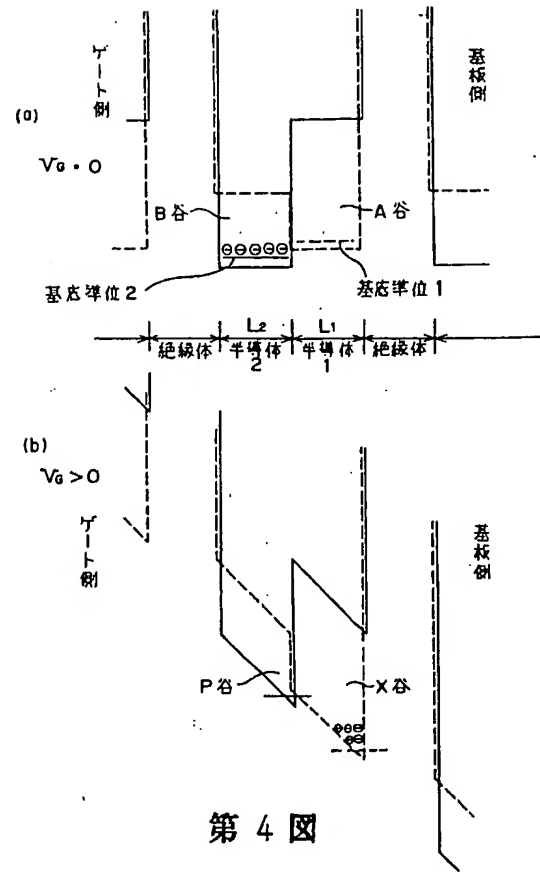
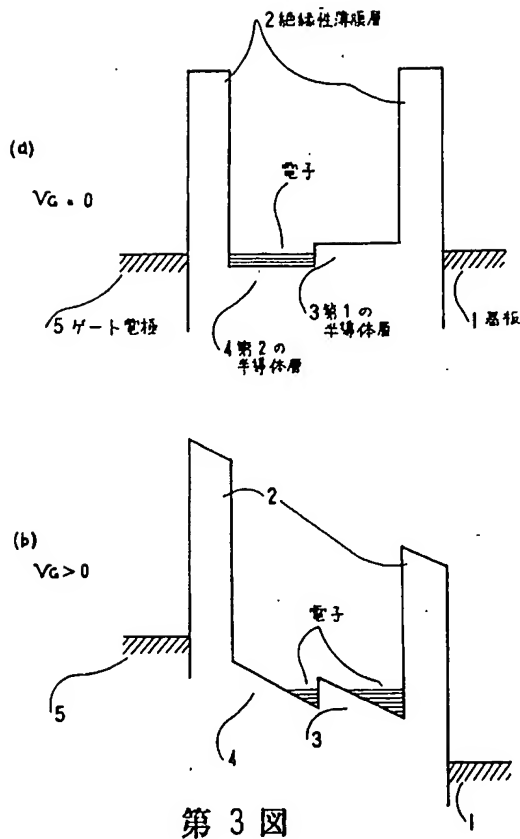
$$E_{\text{th}} = 4.5 \text{ (V)}$$

であるが、実際には第6図(b)に示すように V_G が3Vから4Vに変化するとき、ソース、ドレイン間電流 I_{DS} が大きく変化する。計算で見積った値との違いは、前記“アプライド・フィジックス・レター”(Applied Physics Letters)35巻、1979年刊中でヘス(K.Hess)等により指摘されている実空間遷移機構(GaAs中にP谷の電子が加速されたエネルギーによって一旦GaAs中をX谷に遷移し、そこから $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}$ 中のX谷に移行する機構)によるものと考えられる。また、このとき、 V_G の変化に対応して I_{DS} が変化する時間(スイッチング時間)は0.1ピコ秒のオーダーであると思われる。

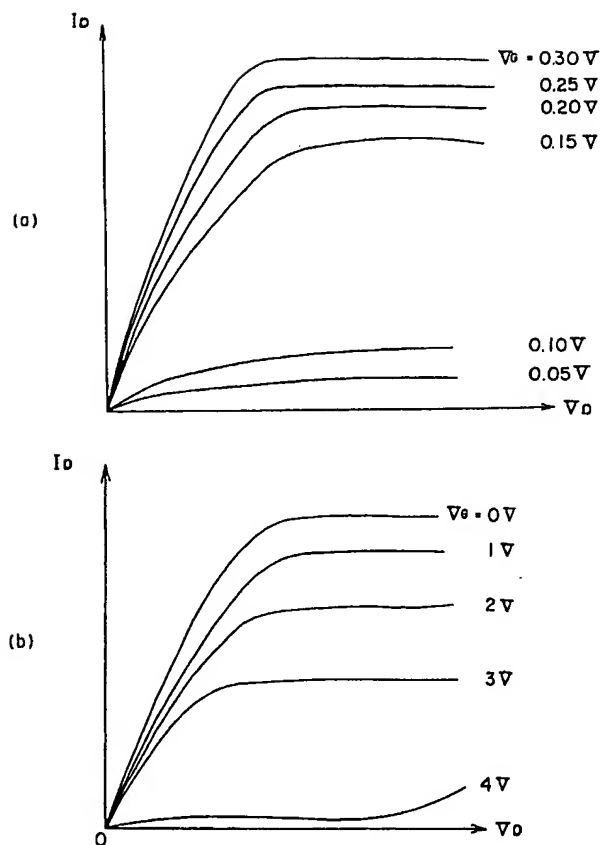
〔発明の効果〕

以上、説明したとおり、本発明によればゲート電圧の印加により電子の走行するチャネル層を異種の半導体間で変化させ、そのスイッチング速度は0.1ピコ秒程度と短く、さらに従来のVMTに比べ、移動度変化を10倍も大きくできる。この結

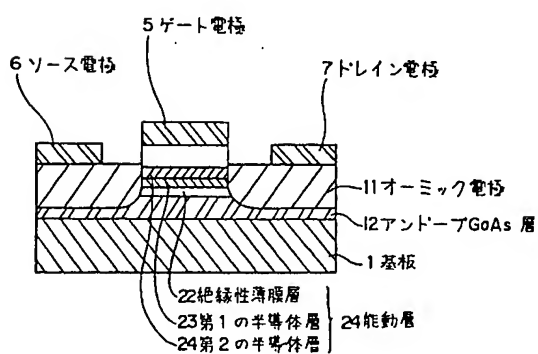
- 22 -



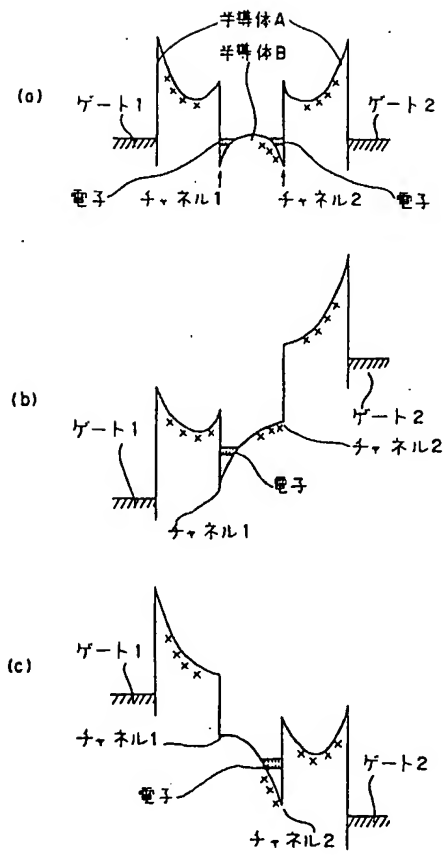
第5図



第 6 図



第 7 図



第 8 図